

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08316947 A

(43) Date of publication of application: 29 . 11 . 96

(51) Int. Cl

H04L 7/02

H03K 5/00

(21) Application number: 07122808

(71) Applicant: NIPPON TELEGR & TELEPH CORP
<NTT>

(22) Date of filing: 22 . 05 . 95

(72) Inventor: OBARA HITOSHI

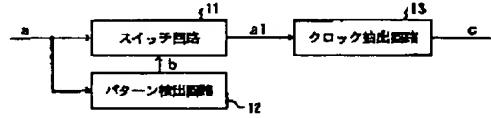
(54) CLOCK EXTRACTION DEVICE

(57) Abstract:

PURPOSE: To reduce the clock jitter causing the inter-code interference by controlling a switch means or a sampling and holding circuit by the control signal outputted from a pattern detection means.

CONSTITUTION: An input signal (a) is inputted to a switch circuit 11 and a pattern detection circuit 12. The pattern detection circuit 12 monitors the input signal (a) and outputs a control signal (b) at the time of detection of a prescribed pattern. The switch circuit 11 is turned on/off by the control signal (b); and when it is turned on, an extracted input signal a1 is inputted to a clock extraction circuit 13. This circuit 13 is an already existing circuit consisting of a tank circuit and a PLL circuit and outputs a clock (c) extracted from the input signal a1.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-316947

(43)公開日 平成8年(1996)11月29日

(51)Int.Cl.⁶
H 0 4 L 7/02
H 0 3 K 5/00

識別記号 庁内整理番号
H 0 4 L 7/02
H 0 3 K 5/00

F I
H 0 4 L 7/02
H 0 3 K 5/00

技術表示箇所
Z
G

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願平7-122808

(22)出願日 平成7年(1995)5月22日

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 小原 仁

東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

(74)代理人 弁理士 古谷 史旺

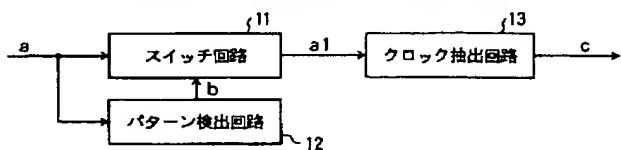
(54)【発明の名称】 クロック抽出装置

(57)【要約】

【目的】 ギガビット/秒クラスの高速伝送システムにおいて、従来の自己タイミング型のクロック抽出回路を用いながら、符号間干渉に起因するクロックジッタを低減することができるクロック抽出装置を実現する。

【構成】 入力データ信号をモニタして所定のビット数以上同一データが継続した後のデータ遷移点を検出し、制御信号を出力するパターン検出手段と、制御信号が入力されたときに、その時点の入力データ信号をクロック位相情報として出力するスイッチ手段と、スイッチ手段から出力される入力データ信号に同期したクロックを入力データ信号から抽出する自己タイミング型のクロック抽出回路とを備える。

本発明のクロック抽出装置の第1実施例の構成



【特許請求の範囲】

【請求項1】 入力データ信号をモニタして所定のビット数以上同一データが継続した後のデータ遷移点を検出し、制御信号を出力するパターン検出手段と、前記制御信号が入力されたときに、その時点の入力データ信号をクロック位相情報として出力するスイッチ手段と、前記スイッチ手段から出力される入力データ信号に同期したクロックを入力データ信号から抽出する自己タイミング型のクロック抽出回路とを備えたことを特徴とするクロック抽出装置。

【請求項2】 入力データ信号をモニタして所定のビット数以上同一データが継続した後のデータ遷移点を検出し、制御信号を出力するパターン検出手段と、周波数可変発振器から出力されるクロックの位相を前記入力データ信号の位相に同期させる位相同期ループを構成し、前記制御信号が入力されたときにその位相誤差をサンプリングし、前記制御信号が入力されないときにはその位相誤差を保持するサンプルホールド回路を有するクロック抽出回路とを備えたことを特徴とするクロック抽出装置。

【請求項3】 請求項1に記載のクロック抽出装置において、パターン検出手段から出力される制御信号をマスクし、スイッチ手段をオン状態に設定する制御手段を備えたことを特徴とするクロック抽出装置。

【請求項4】 請求項2に記載のクロック抽出装置において、パターン検出手段から出力される制御信号をマスクし、サンプルホールド回路をサンプリング状態に設定する制御手段を備えたことを特徴とするクロック抽出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル伝送システムの受信部において、入力信号に同期したクロックを入力信号から抽出する自己タイミング型のクロック抽出装置に関する。

【0002】

【従来の技術】 従来の自己タイミング型のクロック抽出回路におけるクロックジッタの主要な発生要因は、入力パルス間の干渉であることが知られている。すなわち、クロック抽出回路は入力データが“1”から“0”または“0”から“1”に変化する時点をクロックの位相情報として検出し、その変化点の時刻と同期したクロックを生成する。このデータの変化点では、その時刻より以前に受信したパルスの裾の部分の信号（符号間干渉成分）が重畳されている。この干渉成分は振幅方向の雑音に相当するが、クロック抽出回路に対しては振幅一位相変換機構により時間軸方向の雑音となってクロックジッタが発生する。

【0003】 クロックジッタのスペクトルは広い帯域に分布するので、従来から狭帯域の帯域通過フィルタを通過によりジッタを低減させる方法が用いられている。ただし、帯域通過フィルタの中心周波数は温度や経時劣化により変動するので、フィルタ帯域をその変動以下に小さくすることはできない。また、ギガビット／秒クラスの高速伝送システムの場合は、フィルタ帯域を小さくすることが困難になる。

【0004】 一方、この符号間干渉によるジッタを除去する他の従来技術として、その原因となる符号間干渉を除く方法が知られている。それは、入力パルスの裾の部分が次のパルスの遷移時刻で振幅が0となるように、入力パルス信号をフィルタに通して波形整形するものである。その結果、符号間干渉は0となり、それに起因するクロックジッタが低減される。

【0005】 しかし、この方法は送信部のパルス波形と伝送路の伝送特性を考慮して、受信部に設置される波形整形用フィルタの伝達特性を決定する必要がある。一般に、送信部のパルス波形と伝送路の伝送特性は個別にばらついており、しかも温度や経時変化によっても変化する。このため、波形整形用フィルタには高精度の自動等化機能が必要となる。さらに、その実現にはデジタル信号処理が必要となり、ギガビット／秒クラスの高速伝送システムの場合は等化回路の実現が困難になっていた。

【0006】

【発明が解決しようとする課題】 上述したように、狭帯域の帯域通過フィルタを用いてクロックジッタを低減させる方法や、波形整形用フィルタを用いてクロックジッタの原因となる符号間干渉を除去する方法では、高速伝送システムに適用する際にフィルタに高い性能が要求され、容易に実現することが困難であった。

【0007】 本発明は、ギガビット／秒クラスの高速伝送システムにおいて、従来の自己タイミング型のクロック抽出回路を用いながら、符号間干渉に起因するクロックジッタを低減することができるクロック抽出装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明のクロック抽出装置は、入力データ信号をモニタして所定のビット数以上同一データが継続した後のデータ遷移点を検出し、制御信号を出力するパターン検出手段と、制御信号が入力されたときに、その時点の入力データ信号をクロック位相情報として出力するスイッチ手段と、スイッチ手段から出力される入力データ信号に同期したクロックを入力データ信号から抽出する自己タイミング型のクロック抽出回路とを備える。

【0009】 また、本発明のクロック抽出装置は、同様のパターン検出手段と、周波数可変発振器から出力されるクロックの位相を入力データ信号の位相に同期させる

位相同期ループを構成し、制御信号が入力されたときにその位相誤差をサンプリングし、制御信号が入力されないときにはその位相誤差を保持するサンプルホールド回路を有するクロック抽出回路とを備える。

【0010】また、本発明のクロック抽出装置は、パターン検出手段から出力される制御信号をマスクし、スイッチ手段をオン状態に設定する制御手段、またはサンプルホールド回路をサンプリング状態に設定する制御手段を備える。

【0011】

【作用】本発明のクロック抽出装置では、パターン検出手段から出力される制御信号によりスイッチ手段またはサンプルホールド回路を制御する。これにより、符号間干渉の少ないパターンを選択してクロック抽出のためのクロック位相情報を得ることができる。このクロック位相情報により従来のクロック抽出回路を動作させるだけで、容易にクロックジッタを低減することができる。

【0012】

【実施例】図1は、本発明のクロック抽出装置の第1実施例の構成を示す。図において、入力信号aはスイッチ回路11およびパターン検出手段12に入力される。パターン検出手段12は、入力信号aをモニタして所定のパターンを検出したときに制御信号bを出力する。スイッチ回路11は制御信号bによってオン/オフされ、オンとなったときに抜き出された入力信号a1がクロック抽出回路13に入力される。クロック抽出回路13は、タンク回路やPLL回路により構成される既存のものであり、入力信号a1から抽出したクロックcを出力する。

【0013】図2は、パターン検出手段の第1実施例の構成を示す。ここでは、入力信号aから2ビットのパターン“00”を検出したときに、スイッチ回路11をオンとする制御信号bを出力し、パターン“10”を検出したときに、スイッチ回路11をオンからオフとする制御信号bを出力するものとする。本実施例のパターン検出手段12Aは、2ビットのシフトレジスタ21、22、アンド回路23、24、セット/リセット型のフリップフロップ25により構成される。入力信号aは2分岐してシフトレジスタ21、22に入力される。アンド回路23は、シフトレジスタ21に“00”が入力されたときに、オフとなるセット信号sをフリップフロップ25のセット端子に与える。これにより、フリップフロップ25はセットされ、スイッチ回路11をオンとする制御信号bが出力される。また、アンド回路24は、シフトレジスタ22に“10”が入力されたときに、オフとなるリセット信号rをフリップフロップ25のリセット端子に与える。これにより、フリップフロップ25はリセットされ、スイッチ回路11をオフとする制御信号bが出力される。

【0014】なお、入力信号aから3ビット以上“0”

が継続するパターンを検出したときに制御信号bを出力する場合には、例えばシフトレジスタ21を3ビット構成とし、アンド回路23を3入力とすることにより容易に対応することができる。図3は、スイッチ回路11およびパターン検出手段12Aの動作例を示すタイミングチャートである。

【0015】図に示すように、入力信号aの“0”が2ビット以上連続したときに、セット信号sがオンとなって制御信号bが“1”となり、スイッチ回路11がオンとなる。また、入力信号aが“10”となると、リセット信号rがオンとなって制御信号bが“0”となり、スイッチ回路11がオフとなる。このスイッチ回路11がオンになっている期間に通過する入力信号a1がクロック抽出回路13に入力される。

【0016】このように、入力信号aのうちパルスの立ち上がり時点で、それより以前の2ビットが“0”のものがクロック抽出用のデータとしてクロック抽出に供される。一般に、符号間干渉成分はパルス間隔が大きくなるほど小さくなるので、スイッチ回路11から出力される入力信号a1は符号間干渉成分が小さくなり、これより抽出されたクロックはジッタが少なくなる。

【0017】なお、以上示した実施例は、入力パルスの立ち上がりを利用してクロック抽出を行う構成を示した。一方、入力パルスの立ち下がりを利用してクロック抽出を行う場合には、入力信号aの“1”が2ビット以上連続したときにスイッチ回路11をオンとし、入力信号aが“01”となったときにスイッチ回路11をオフとすることにより同様の動作が可能である。

【0018】また、第1実施例ではクロック抽出回路13の前段に、従来の波形整形用のアナログフィルタ(プリフィルタ)に代えて、デジタル処理によるプリフィルタを設けたものとみることができる。ただし、その処理内容は入力パターンを監視して所定のパターンを通すだけの簡易なものであるので、簡単な回路で容易に実現することができる。また、第1実施例では、既存のクロック抽出回路13をそのまま適用できる利点がある。ただし、例えば入力信号aが“0”と“1”を交互に繰り返すような場合にはスイッチ回路11がオフのままとなるので、クロック抽出に使用可能なパルス密度が減少する特性がある。

【0019】図4は、パターン検出手段の第2実施例の構成を示す。ここでは、入力信号aから4ビットのパターン“0010”を検出したときに、スイッチ回路11をオンとする制御信号bを出力するものとする。本実施例のパターン検出手段12Bは、4ビットのシフトレジスタ26、アンド回路27、パルス伸長回路28により構成される。入力信号aはシフトレジスタ26に入力される。アンド回路27は、シフトレジスタ26に“0010”が入力されたときに、1ビット長だけオンとなるパターン検出信号dを出力する。このパターン検出信号

d はパルス伸長回路 28 に入力され、パルス幅が広げられて制御信号 b として出力される。スイッチ回路 11 はこの制御信号 b によりオンとなる。

【0020】このとき抜き出される入力信号 a1 として、パターン “0010” のうち第3ビットの “1” がクロック抽出に必要であるので、スイッチ回路 11 の前段に1ビット遅延回路 29 を配置する。この1ビット遅延回路 29 により、入力信号 a は1ビット遅延した入力信号 a2 となってスイッチ回路 11 に入力される。図 5 は、スイッチ回路 11 およびパターン検出回路 12B の動作例を示すタイミングチャートである。

【0021】図に示すように、入力信号 a が “0010” となると、1ビットのパターン検出信号 d が出力され、パルス伸長回路 28 でパルス幅が広げられて制御信号 b となる。この制御信号 b によりスイッチ回路 11 がオンとなる。一方、スイッチ回路 11 には1ビット遅延した入力信号 a2 が入力され、スイッチ回路 11 がオンになる期間に “0010” の “1” が抜き出され、その入力信号 a1 がクロック抽出回路 13 に入力される。

【0022】なお、本実施例では、入力信号 a からパターン “0010” を検出したときに、クロック抽出を行うパルスをスイッチ回路 11 で抜き出してクロック抽出回路 13 に入力することになるので、第1実施例と同様に符号間干渉成分の影響を排除することができる。ただし、クロック抽出に使用可能なパルス密度が第1実施例に比べてさらに減少する特性がある。

【0023】また、パターン検出回路が3ビットのパターン “001” を検出してスイッチ回路 11 をオン／オフする構成では、1ビット遅延回路 29 を用いずに同様の動作が可能である。この場合には、4ビットのパターンを検出する構成に比べてクロック抽出に使用可能なパルス密度を高めることができる。ここで、クロック抽出に使用可能なパルス密度が減少してもジッタの発生を抑えることができるクロック抽出装置の構成（第2実施例）を示す。

【0024】図 6 は、本発明のクロック抽出装置の第2実施例の構成を示す。図において、入力信号 a はパターン検出回路 12 および位相同期ループ（PLL）を用いた従来のクロック抽出回路 30 に入力される。このクロック抽出回路 30 は、入力信号 a と周波数可変発振器 34 の位相差を検出する位相比較回路 31、サンプルホールド回路 32、低域通過フィルタ 33、周波数可変発振器 34 により構成され、周波数可変発振器 34 から出力されるクロック c の位相を入力信号 a の位相に合わせるように動作する。サンプルホールド回路 32 は、位相比較回路 31 の位相比較結果を保持し、入力データが確率的に到着することに起因して入力データがない状態になつても、周波数可変発振器 34 の制御信号の消失を防ぐものである。このようなPLLを用いたクロック抽出回路 30 は公知のものであるので、詳細な動作については

省略する。

【0025】パターン検出回路 12 は、入力信号 a をモニタして所定のパターンを検出したときに制御信号 b を出力する構成であり、図 2 または図 4 に示すものを用いることができる。なお、図 2 または図 4 におけるスイッチ回路 11 をサンプルホールド回路 32 とし、スイッチ回路 11 の入力信号を位相比較回路 31 から出力されるサンプルパルス e とする。

【0026】ここで、図 2 に示すパターン検出回路 12 10 A を用いた場合の動作例を図 7 に示す。本実施例は、サンプルホールド回路 32 が制御信号 b によりサンプルパルス e にゲート処理を施すものであり、入力信号 a にゲート処理を施す第1実施例と同様の動作となる。すなわち、符号間干渉の影響を受けていると思われるサンプルパルス e をマスクする。したがって、クロック抽出に使用するパルス数が減少するが、サンプルホールド回路 32 によって位相比較結果が保持されるので問題はない。

【0027】また、本実施例は、入力信号 a を直接ゲート処理しないので、波形歪が生じてジッタが増大することはない。また、従来のPLLを用いたクロック抽出回路 30 にパターン検出回路 12 を付加するだけの構成であり、PLL回路の本質的な動作に影響を与えることがない。図 8 は、本発明のクロック抽出装置の第3実施例の構成を示す。

【0028】本実施例は、図 1 に示す第1実施例の構成において、パターン検出回路 12 とスイッチ回路 11 との間にオア回路 41 を挿入し、パターン検出回路 12 から出力される制御信号 b を外部からの制御信号 g によってオン／オフ制御する。ここで、制御信号 g が “0” であれば、第1実施例と同様に制御信号 b のオン／オフによってスイッチ回路 11 がオン／オフ動作する。一方、制御信号 g が “1” であればパターン検出回路 12 から出力される制御信号 b がマスクされ、スイッチ回路 11 はオン状態に固定となる。すなわち、入力信号 a が直接クロック抽出回路 13 に入力される。

【0029】このように、本実施例では制御信号 g によって、従来のクロック抽出回路での動作モードと、本発明のクロック抽出に適した入力データパターンを選択する動作モードの切り替えが可能となる。この動作モード切り替えにより、同期引き込み時には従来のクロック抽出回路で入力信号 a に同期したクロック抽出を行い、クロック同期が確立した後はパターン検出回路 12 の動作を有効とする。

【0030】なお、パターン検出回路 12 は、入力信号 a に同期したクロックによって動作するデジタル回路であるので、同期引き込み時にはそのクロックが利用できない。したがって、制御信号 g によって動作モードを切り替えることにより、クロック同期が確立していない状態でも正常な動作が保証される。このクロック同期引き込みは短時間ですむので、その間のジッタは問題にな

らない。また、一旦クロック同期が確立すればパターン検出回路12が正常に動作するので、ジッタの少ないクロック抽出が可能となる。

【0031】第3実施例は、第1実施例を対象に動作モードを切り替える構成を示したが、第2実施例にも同様に適用可能である。

【0032】

【発明の効果】以上説明したように、本発明のクロック抽出装置は、従来のクロック抽出回路に簡単なデジタル回路を付加するだけで、符号間干渉の少ないタイミングを選択してクロック抽出を行うことができる。これにより、符号間干渉に起因するクロックジッタを低減させることができる。

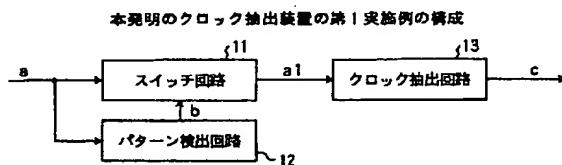
【0033】また、従来のクロック抽出回路のみを動作させるモードと、本発明による付加回路を動作させるモードとを切り替えることにより、同期引き込み中でも正常な動作を保証することができる。また、従来のクロック抽出回路をそのまま使用できる。したがって、同等のジッタ特性を実現する場合にはクロック抽出用フィルタの帯域を広くでき、アンプの利得も小さくできるので、クロック抽出回路の簡易化とコスト低減を図ることができる。

【図面の簡単な説明】

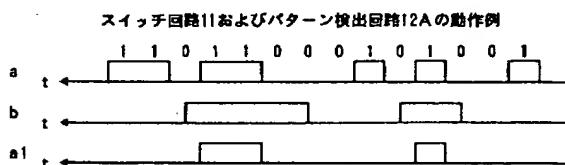
【図1】本発明のクロック抽出装置の第1実施例の構成を示すブロック図。

【図2】パターン検出回路の第1実施例の構成を示すブロック図。

【図1】



【図3】



【図3】スイッチ回路11およびパターン検出回路12Aの動作例を示すタイミングチャート。

【図4】パターン検出回路の第2実施例の構成を示すブロック図。

【図5】スイッチ回路11およびパターン検出回路12Bの動作例を示すタイミングチャート。

【図6】本発明のクロック抽出装置の第2実施例の構成を示すブロック図。

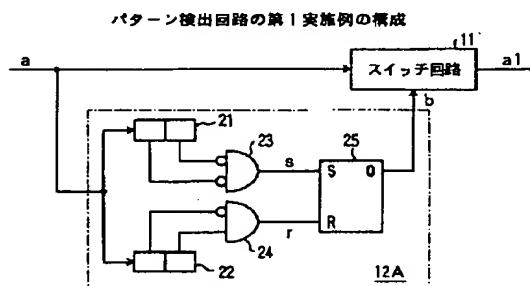
【図7】パターン検出回路12Aとクロック抽出回路30の動作例を示すタイミングチャート。

【図8】本発明のクロック抽出装置の第3実施例の構成を示すブロック図。

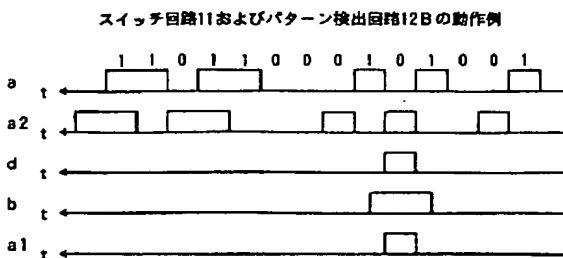
【符号の説明】

11	スイッチ回路
12	パターン検出回路
13, 30	クロック抽出回路
21, 22, 26	シフトレジスタ
23, 24, 27	アンド回路
25	フリップフロップ
28	パルス伸長回路
29	1ビット遅延回路
31	位相比較回路
32	サンプルホールド回路
33	低域通過フィルタ
34	周波数可変発振器
41	オア回路

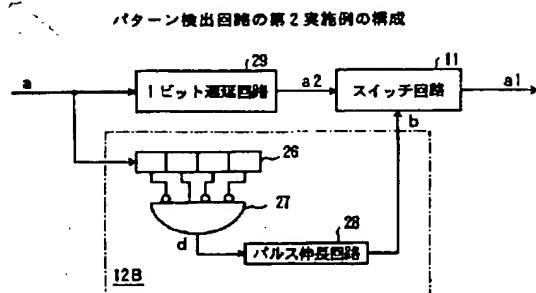
【図2】



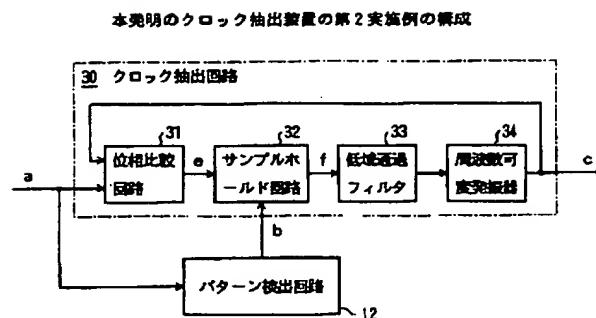
【図5】



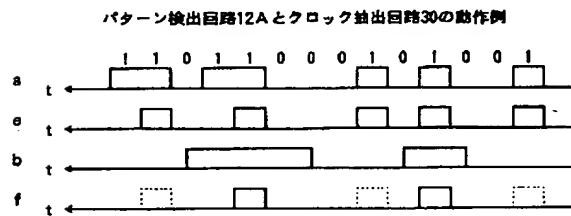
【図4】



【図6】



【図7】



【図8】

